

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

009379232 **Image available**

WPI Acc No: 93-072710/199309

Related WPI Acc No: 93-072407; 93-283814; 97-412903

XRAM Acc No: C98-167098

XRPX Acc No: N98-435001

Insulated gate field effect semiconductor device - free from leakage of reverse current from the drain to the source

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Inventor: TAKEMURA Y; YAMAZAKI S

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 5021801	A	19930129	JP 9119538	A	19910119	H01L-029/784	199309 B
US 5821563	A	19981013	US 91813071	A	19911226	H01L-029/76	199848
			US 94213837	A	19940316	T	

Priority Applications (No Type Date): JP 90418365 A 19901225; JP 90418364 A 19901225; JP 9120508 A 19910121; JP 9150792 A 19910222

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 5021801	A		18			
US 5821563	A		40	Cont of	US 91813071	

Abstract (Basic): JP 5021801 A Dwg.11/17 US 5821563 A

An insulated gate field effect semiconductor device comprises semiconductor source and drain regions provided in a semiconductor layer with a channel region therebetween. A gate electrode is provided adjacent to the channel region, and a gate insulating layer is interposed between the gate electrode and the channel region. A groove is provided in a surface portion of the semiconductor layer which extends below the interface between the gate insulating layer and the gate electrode. A region doped with one or more elements selected from carbon, nitrogen, and oxygen at a concn. $>1 \times 10^{19}$ atoms cm^{-3} is provided in the semiconductor layer adjacent to the groove in the vicinity of a boundary region between the channel region and one of the source and drain region.

Also claimed is an electro-optical device including an insulated gate field effect semiconductor device for driving a pixel of the electro-optical device.

USE - Insulated gate field effect semiconductor device for use in switching devices, integrated circuits and display devices such as liquid crystal displays.

ADVANTAGE - Free from the problems of reverse leakage between the source and the drain, and of throw leakage which occurs even at a voltage below the threshold ascribed to the low voltage resistance between the source and the drain. Dwg.1/26

Title Terms: INSULATE; GATE; FIELD; EFFECT; SEMICONDUCTOR; DEVICE; FREE;

LEAK; REVERSE; CURRENT; DRAIN; SOURCE

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-029/76; H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04030101 **Image available**

SEMICONDUCTOR DEVICE

PUB. NO.: 05-021801 [JP 5021801 A]

PUBLISHED: January 29, 1993 (19930129)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-019538 [JP 9119538]

FILED: January 19, 1991 (19910119)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1377, Vol. 17, No. 295, Pg. 44, June 07, 1993 (19930607)

ABSTRACT

PURPOSE: To provide an insulated gate type field effect transistor excellent in reliability and electric property.

CONSTITUTION: This is an insulated gate type field effect transistor provided on a substrate, and is a semiconductor device where regions A and B, to which at least one kind of elements among carbon, nitrogen, and oxygen are added, are provided between a source 5' and a semiconductor film 7' positioned below a gate electrode 4, and between a drain electrode 6' and said semiconductor film 7'.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 2 1 8 0 1

(43) 公開日 平成 5 年 (1993) 1 月 2 9 日

(51) Int. Cl.

H01L 29/784

識別記号

庁内整理番号

F 1

技術表示箇所

9056-4M

H01L 29/78

311

5

審査請求 有 請求項の数 3 (全 18 頁)

(21) 出願番号 特願平 3 - 1 9 5 3 8

(22) 出願日 平成 3 年 (1991) 1 月 1 9 日

(31) 優先権主張番号 特願平 2 - 4 1 8 3 6 5

(32) 優先日 平 2 (1990) 1 2 月 2 5 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 0 0 0 1 5 3 8 7 8
株式会社半導体エネルギー研究所
神奈川県厚木市長谷 3 9 8 番地

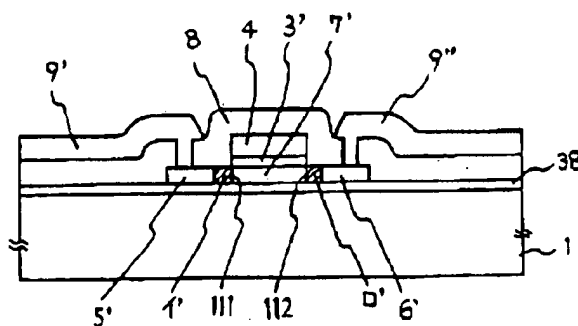
(72) 発明者 山崎 舜平
神奈川県厚木市長谷 3 9 8 番地 株式会社
半導体エネルギー研究所内

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 本発明は、信頼性、電気的特性に優れた絶縁ゲイト型電界効果トランジスタを提供することを特徴とする。

【構成】 基板上に設けられた絶縁ゲイト型電界効果トランジスタであり、ソース 5' とゲイト電極 4 の下にある半導体膜 7' との間、そしてドレイン 6' とゲイト電極 4 の下にある半導体膜 7' との間に炭素、窒素、酸素の内少なくとも一種の元素が添加された領域 1'、2' が設けられている半導体装置。



(2)

特開平5-21801

2

【特許請求の範囲】

【請求項1】絶縁ゲイト型電界効果トランジスタにおいて、ソース領域とゲート電極下の半導体膜との境界付近、ドレイン領域とゲート電極下の半導体膜との境界付近の少なくともどちらか一方に炭素、窒素、酸素の内少なくとも一種類の元素が添加された領域が設けられていることを特徴とする半導体装置。

【請求項2】請求項1において、ソース領域、ドレイン領域、半導体膜を形成する半導体は、珪素を主成分するものであって、炭素、窒素、酸素の内少なくとも一種類の元素が添加された領域とは、炭化珪素、窒化珪素、酸化珪素が添加された領域であることを特徴とする半導体装置。

【請求項3】請求項2において、炭化珪素とは、 Si_xC_{1-x} ($0 \leq x < 1$)、窒化珪素とは Si_3N_{4-x} ($0 \leq x < 4$)、酸化珪素とは SiO_{2-x} ($0 \leq x < 2$)であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、スイッチング素子、集積回路、液晶等の表示装置に用いられる絶縁ゲイト型電界効果トランジスタに関するものである。

【0002】

【従来の技術】従来、絶縁ゲイト電界効果トランジスタとしては、どのような形式のものであってもソース領域、チャネル領域、ドレイン領域を構成する半導体部分から構成されていた。そして、ソース領域とチャネル領域を構成する半導体と、ドレイン領域とチャネル領域を構成する半導体とは直接接しているのが普通であった。

【0003】しかしながら従来のソース領域とチャネル領域、ドレイン領域とチャネル領域とが接している形式の絶縁ゲイト型電界効果トランジスタでは、ドレイン領域からソース領域への逆方向リークの問題、ドレイン耐圧の低さの問題がある。

【0004】ドレイン領域からソース領域への逆方向リークの問題とは、図2に示すように本来(A)のような曲線でなければならないゲート電圧(V_g)ードレイン電流(I_d)の関係が現実にはドレイン領域からソース領域への逆方向リークのために(B)に示すような曲線になってしまう問題である。

【0005】この現象は本来チャネルの形成されるはずのないゲート電圧条件下、すなわちしきい値電圧

(V_{th})以下の条件のもとでもソース、ドレイン間の電圧をある程度上げるとドレイン電流が急激に増加する現象(パンチスルー電流)が起こるからである。

【0006】この現象は、ドレイン接合における逆バイアス電圧による影響がソース接合にまで及ぶことによって生じるものと説明される。このパンチスルー電流はチャネル表面よりかなり深い通路に沿ってソース、ドレイン間を流れている。従って、この通路に沿って不純物濃

度を高くし、抵抗を上げてやればパンチスルー電流を防止することができる。

【0007】また、ドレイン耐圧の低さは、やはりしきい値電圧以下の条件のもとで、本来図3(A)に示されるようなシャープな特性を示さなければならないドレイン電流(I_d)とドレイン電圧(V_d)の関係が図3(B)に示されるようななだらかな曲線を描いてしまう特性になってしまう原因となる。この原因も前述したパンチスルー電流の発生に起因するものである。

【0008】前述の図3(B)に示したような V_d ー I_d 特性を示す絶縁ゲイト型電界効果トランジスタは、しきい値電圧以下の電圧がゲート電極に加わっている状態、すなわちまったくOFFの状態においてもドレイン電流が少しずつ流れてしまうスローリークの状態になってしまい、スイッチング素子としての性能、信頼性に問題が生じてしまう。

【0009】前記のようなドレイン耐圧すなわちソース、ドレイン間の絶縁性の低さに起因するパンチスルー電流の問題を改善する方法としてライトドープドレイン(LDD)技術といわれる図4に示すような水素が添加された半導体層であるオフセットゲート領域49を設ける方法がある。図4に示されるのは、石英基板41、多結晶シリコン薄膜42、酸化珪素膜43、多結晶シリコン電極44、ソース領域45、ドレイン領域46、アルミ電極47、オフセットゲート領域49からなる絶縁ゲイト型電界効果トランジスタである。このオフセットゲート領域というのは、この部分に電界が集中するのを緩和するために設けられているものである。またこのオフセットゲート領域と同じ所にソース、ドレインと同一の導電型を付与する不純物をライトドープした領域を設ける方法がある。この方法も、チャネルとゲートまたはチャネルとソースの境界領域における電界集中を緩和するための対策である。しかしながらこの方法では水素のチャネル領域への拡散の問題、導電型を付与する不純物のソース、ドレインからの拡散の問題を解決することはできなかった。

【0010】

【発明が解決しようとする課題】本発明が解決しようとする問題点は、従来の絶縁ゲイト型電界効果トランジスタにおけるドレイン領域からソース領域への電流の逆方向リークの問題、そしてドレイン耐圧の低さの問題である。

【0011】

【課題を解決使用とする手段】本発明は、絶縁ゲイト型電界効果トランジスタにおいて、ソース領域とゲート電極下の半導体膜との境界付近、ドレイン領域とゲート電極下の半導体膜との境界付近の少なくともどちらか一方に炭素、窒素、酸素の内少なくとも一種類の元素が添加された領域が設けられていることを特徴とする半導体装置である。

(3)

特開平5-21801

3

【0012】本発明における境界付近とは、異なる特性（性質）を有する半導体（例えばI型半導体とN型半導体、P型半導体とN型半導体）の接する部分（物理的接合部）およびその接する部分の近傍、または異なる性質を有する半導体が接して存在している場合における電氣的接合部分である。この電氣的結合部分とはその場所を通じて電氣的相互作用が行なわれる電界が最も強い部分あるいは、不純物濃度の違いあるいは不純物の種類の違いにより生じる電子現象としての接合している部分を意味するものである。

【0013】本発明の構成をとった絶縁ゲート型電界効果トランジスタは、例えば図1に示すガラス基板1、酸化珪素下地膜38、ソース領域5'、チャネル領域7'、ドレイン領域6'、ゲート酸化膜である酸化珪素膜3'、ゲート電極4、絶縁物8、ソース電極9'、ドレイン電極9''からなるNチャネル型のTFTであって、ソース領域5'とゲート電極下の半導体膜7'（この場合はチャネル形成領域）との境界111、ドレイン領域と半導体膜7'との境界112を端としてそれぞれソース、ドレイン領域方向に沿って、炭素を添加した領域イ'ロ'が設けられたものである。この例においては、チャネル下の半導体膜がチャネル形成領域となっている。またこの例の作製法は、ゲート電極4をマスクとしてN型の導電型を付与する不純物であるリンをイオン打ち込み法で打ち込み、N型の導電型を有するソース5'、ドレイン6'領域を形成するものである。よってソース5'、ドレイン6'領域は境界111、112まで存在しており、炭素が添加された領域イ'ロ'はドレイン6'領域、ソース5'領域の中に設けられることになる。

【0014】このような構成をとったNチャネル型のTFTのエネルギーバンド構造は、模式的には、図5に示すような形になる。この場合においては、図1に示すソースとチャネル、ドレインとチャネルの境界である111、112からソース5'、ドレイン6'領域にかけて炭素が添加された領域イ'ロ'が設けられているので炭素が添加されたことによってバンドギャップの大きい部分（図5の52）が、空乏層のソース、ドレイン側に設けられることになる。以上のような構成をとった場合、図5のドレイン領域51からチャネル領域53へ逆方向に電流がリークしようとしても、炭素、窒素、酸素の内少なくとも一種類の元素（この場合は炭素）が添加された領域にはバンドギャップの山52があるので、例えば54のキャリアはチャネル領域53の方へ行くことができない。よってこの場合ゲートに負の電圧が加わったとしても図2（B）に示すような逆方向リークをしてしまうことがなく図2（A）に示すような理想的なゲート電圧（V_g）-ドレイン電流（I_d）の関係を導くことができる。また図4に示す炭素、窒素、酸素の内少なくとも一種類の元素が添加された領域である52のバンドギャッ

4

プの広さがポテンシャル障壁となり、ドレイン耐圧を高くすることができる。この結果、従来はパンチスルー電流のため電流が少しずつスローリークしてしまうため図3（B）のような特性になってしまうゲート電流（I_g）とドレイン電圧（V_d）の関係を図3（A）のような改善することができる。また本発明の構成をとった場合、炭素、窒素、酸素がキャリア発生領域（この場合は境界111、112近傍）における不対結合手と結合し、中和するので再結合中心密度が減少させることができる。デバイスとしての特性を高めることができる。バンドギャップの山52の幅は図1における炭素が添加された領域であるイ'ロ'の横方向（ソース、チャネル、ドレインを結ぶ戦に平行な方向）の厚さを変化させることによってコントロールすることができ、さらにその山の高さは、添加濃度を変化させることでコントロールすることができる。このように、本発明は電界集中を緩和するという前述のライトドープドレイン（LDD）技術とは思想的に全く異なる技術思想のもとに達成せられるものである。

【0015】ソース領域とゲート電極下の半導体領域、ドレイン領域とゲート電極下の半導体領域との間に炭素、窒素、酸素を添加することによって、ソース、ドレイン領域とチャネル領域との境界付近に形成されるソース、ドレイン、チャネル領域を構成する半導体よりエネルギーバンドギャップの広い領域（例えば図4の52の部分）は、例えば半導体として珪素を用いるのであれば、前記炭素、窒素、酸素を添加することによって、炭化珪素、窒化珪素、酸化珪素からなる領域となる。炭化珪素としてはSi_xC_{1-x}（0 ≤ x < 1）で表される構成、窒化珪素としてはSi₃N_{4-x}（0 ≤ x < 4）で表される構成、酸化珪素としてはSiO_{2-x}（0 ≤ x < 2）で表される構成を用いることができる。

【0016】また従来は、半導体として多結晶珪素等を用いると、P型またはN型の導電型を与える不純物が結晶粒界であるグレインバウンダリ（GB）を経由してチャネル領域にドリフトしてしまうので、高い導電率を得ようとしてソース、ドレイン領域に一導電型を付与する不純物を高濃度に添加すると、チャネル領域に前記不純物がドリフトしてしまい安定した性能を有するデバイスを得ることができなかった。しかし本発明の構成をとった場合、炭素、窒素、酸素の添加された領域がブロッキング領域となるのでソース、ドレイン領域からチャネル領域への一導電型を付与する不純物のドリフトが起こらない。このためソース、ドレイン領域にNチャネル型ならリン等の5価の不純物をPチャネル型ならボロン等の3価の不純物を従来より高濃度で添加しても、熱アニール時における前記不純物の拡散を前記ブロッキング領域に防止する事ができる。この結果、σ = 10⁻¹ ~ 10⁻¹（Ω cm）⁻¹の導電率を有するソース、ドレイン領域を得ることができた。

(4)

特開平5-21801

5

【0017】本発明の特徴は、従来の電界集中の緩和を行なう考え方ではなく、この電界が集中する例えばチャネルとドレインの境界付近に、炭素、窒素、酸素の添加されたバンドギャップの広い領域を設けることにより、この部分にキャリアのリークを防止するバンドギャップの山を設けたことにある。また、炭素、窒素、酸素の添加された領域を変えることで、このバンドギャップの山の位置を変えることができるという特徴を有する。

【0018】本発明の構成を絶縁ゲート型電界効果トランジスタの各形式であるスタガー型、逆スタガー型、ブレナー型、逆ブレナー型等に適用してソース、ドレイン間の耐圧を向上させ、パンチスルー電流を防止することができることはいうまでもない。また半導体装置としては絶縁ゲート型電界効果トランジスタに限定されるものではなく半導体装置における局部的電界集中に起因する問題（例えばスローリークの問題）を解決する手段として本発明が応用できることはいうまでもない。

【0019】

【実施例】（実施例1）本実施例の作製工程を図6に示す。本実施例では、ガラス基板にNチャネル型TFTとPチャネル型TFTを相補型に設けたC/TFTを作る場合を示す。また本明細書中において、本実施例1で用いた図面説明に用いる符号は、本明細書中において共通のものとする。

【0020】本実施例における相補型TFTとは、図7のPチャネル形電界効果トランジスタ21とNチャネル形電界効果トランジスタ11とで構成される相補形の半導体装置（C/TFT）である。図7においては、このC/TFTを液晶表示装置の画素駆動素子として用いた例である。図7において、表示部は2×2のマトリックスを有し、周辺回路部は16、17で示している。この表示部の1つのピクセル34はPTFTとNTFTとのゲートを互いに連結し、さらにY軸方向の線V_{cc}22、またはV_{cc}22'に連結している。またC/TFTの共通出力を液晶12の画素電極に連結している。PTFTの入力（V_{ss}側）をX軸方向の線V_{ss}18に連結し、NTFTの入力（V_{ss}側）をV_{ss}19に連結させている。

【0021】するとV_{ss}18、V_{cc}12が“1”の時、液晶電位10は“0”となり、またV_{ss}18が“1”、V_{cc}12が“0”の時液晶電位（V_{cc}）10は“1”となる。即ち、V_{cc}とV_{ss}とは「逆相」となる。第4図において示されているのは、インバータ型のC/TFTであるが、NTFTとPTFTとを逆に配設すると、バッファ型となりV_{cc}とV_{ss}とは「同相」とすることができる。また周辺回路はかくの如き酸素等の不純物が添加されていない、また十分に少ない（ 10^{11} cm⁻³以下）TFT、特にC/TFTで作られ、それぞれのTFTの移動度20～200 cm²/Vsecとして高速動作をせしめた。

6

【0022】図7に示すC/TFTを作らんとした時の製造工程を図6に基づき示す。図6において、ANガラス、パイレックスガラス等の約600℃の熱処理に耐え得るガラス1上にマグネトロンRF（高周波）スパッタ法を用いてブロッキング層（下地膜）38としての酸化珪素膜を1000～3000 Åの厚さに作製した。

【0023】プロセス条件は酸素100%雰囲気、成膜温度150℃、出力400～800 W、圧力0.5 paとした。ターゲットに石英または単結晶シリコンを用い、成膜速度は30 Å/分であった。

【0024】この上に、酸素、炭素または窒素の総量が 7×10^{11} cm⁻³好ましくは 1×10^{11} cm⁻³以下しか添加させていないシリコン膜をLPCVD（減圧気相）法、スパッタ法またはプラズマCVD法により形成した。減圧気相法で形成する場合、結晶化温度よりも100～200℃低い450～550℃、例えば530℃でジシラン（Si₂H₆）またはトリシラン（SiH₃）をCVD装置に供給して成膜した。反応炉内圧力は30～300 paとした。成膜速度は30～100 Å/分であった。NTFTとPTFTとのスレッシュホールド電圧（V_{th}）を概略同一に制御するため、ホウ素をジボランを用いて 1×10^{13} ～ 5×10^{17} cm⁻³の濃度として成膜中に添加してもよい。

【0025】スパッタ法で行う場合、スパッタ前の背圧を 1×10^{-3} pa以下とし、単結晶シリコンをターゲットとし、アルゴンに水素を50～80体積%に混入した雰囲気で行った。例えばアルゴン20体積%、水素約80体積%とした。成膜温度は150℃、周波数は13.56 MHz、スパッタ出力400～800 Wとし、圧力は0.5 paであった。

【0026】プラズマCVD法により珪素膜を作製する場合、温度は例えば300℃とし、モノシラン（SiH₄）またはジシラン（Si₂H₆）を反応性気体として用いた。これらをPCVD装置内に導入し、13.56 MHzの高周波電力を加えて成膜した。

【0027】この実施例では図6（A）に示す如く、第1のフォトリソで所定の領域のみ、半導体膜2、2'を残し他部を除去した。この上に酸化珪素膜3を下地の酸化珪素膜38と同様な条件で500～2000 Å例えば1000 Åの厚さに形成した。

【0028】本実施例においては、さらに一対の不純物領域であるソースまたはドレインとなる領域は、酸素等の不純物がきわめて少なく、結晶化はより強く進んだ。またその一部は後工程においてソース、ドレインとなる領域において0～5 μmの横方向の深さにまでわたって設けられている。即ち、理想的には0にすることにより図5のバンドギャップの山52の幅をできるだけ狭くすることが好ましいが、工程上の問題を考慮すると0を含み5 μm程度の範囲の間で横方向に渡って設けることが好ましかった。

50

(5)

特開平5-21801

7

【0029】かくして、アモルファス状態の珪素膜を500~10000Å(1μm)、例えば2000Åの厚さに作製の後、500~750℃の結晶成長を起こさない程度の中温の温度にて12~70時間非酸化雰囲気にて加熱処理すなわち熱アニールした。例えば窒素または水素雰囲気にて600℃の温度で保持した。

【0030】この半導体膜の下側の基板表面は、アモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。このアニールにより、チャネル形成領域の半導体膜はアモルファス構造から秩序性の高い状態に移り、その一部は結晶状態を呈する。特にシリコンの成膜時に比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかし、これらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は互いにひっぱりあう。結晶としてもレーザラマン分光により測定すると、単結晶の珪素(111)結晶方位のピーク522cm⁻¹より低周波側にシフトした格子歪を有した(111)結晶ピークが観察される。その見掛け上の粒径は、半値巾から計算すると、50~500Åとマイクロクリスタルのようにになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、その各クラスタ間は互いに珪素同志で結合(アンカリング)がされたセミアモルファス構造の被膜を形成させることができた。

【0031】例えばSIMS(二次イオン質量分析)法により深さ方向の分布測定を行った時、添加物(不純物)として最低領域(表面または表面より離れた位置(内部))において酸素が3×10¹¹cm⁻³、窒素4×10¹¹cm⁻³を得た。また水素は4×10¹¹cm⁻³であり、珪素4×10¹¹cm⁻³として比較すると1原子%であった。この結晶化は酸素濃度が例えば1.5×10¹¹cm⁻³においては1000Åの膜厚で600℃(48時間)の熱処理で可能である。これを5×10¹¹cm⁻³にすると膜厚を0.3~0.5μmと厚くすれば600℃でのアニールによる結晶化が可能であったが、0.1μmの厚さでは650℃での熱処理が結晶化のためには必要であった。即ちより膜厚を厚くする、より酸素等の不純物濃度を減少させるほど、結晶化がしやすかった。結果として、この被膜は実質的にグレインバウンダリ((GB)という)がないといってもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた箇所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度(μ_h)=10~50cm²/Vsec、電子移動度(μ_e)=15~100cm²/Vsecが得られる。

【0032】他方、上記の如く中温でのアニールではなく、900~1200℃の高温アニールにより被膜を多

8

結晶化すると、核からの固相成長により被膜中の酸素等の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きい、GBでのバリア(障壁)を作ってそこでのキャリアの移動を阻害してしまう。そして結果としては5cm²/Vsec以下の移動度しか得られず、結晶粒界でのドレインリーク等による耐圧の低下がおきてしまうのが実情であった。

【0033】即ち、本発明の実施例ではかくの如く、結晶性を有するセミアモルファスまたはセミクリスタル構造を有するシリコン半導体を用いている。またゲイト酸化膜3には弗素を少量添加して成膜してもよい。

【0034】この酸化珪素と下地の半導体膜との界面特性を向上し、界面単位を除くため、紫外光を同時に加え、オゾン酸化を行うとよかった。即ち、ブロッキング層38を形成したと同じ条件のスパッタ法と光CVD法との併用方法とすると、界面単位をさらに減少させることができた。

【0035】さらにこの後、この上側にリンが1~5×10¹¹cm⁻³の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、MoSi₂またはWSi₂との多層膜49を形成した。この多層膜49は、本実施例のように700℃以下の温度でその作成工程が行なわれるのであれば、アルミ、またはアルミと他の金属化合物、あるいは一般の金属化合物を用いてもよい。

【0036】この多層膜49上にフォトレジスト35を設け、さらに第2のフォトマスク②を用い、フォトレジスト35を選択的に除去し、このレジスト35をマスクとして図6(B)に示すように多層膜49の一部を除去した。このレジスト35と多層膜49の一部が除去された領域36、37、36'、37'に対し、C、NまたはO、本実施例においてはOを1×10¹¹~5×10¹¹cm⁻³の濃度になるようにフォトレジスト35と多層膜49をマスクとしてイオン注入法により添加し、この領域を酸化珪素化すなわちSiO₂(0≦X<2)でその組成が表される領域とした。

【0037】これら不純物の濃度はSIMSの測定によると膜の中央部で最も小さく、その厚さ方向の両端で最も大きくなっていた。膜中央部でのこれらC、NまたはOの如き不純物濃度は、1×10¹¹cm⁻³好ましくは8×10¹¹cm⁻³以上であることが望ましい。このイオン注入に際して加えた電圧は30~50KeV例えば35KeVとした。この結果、図6(B)の(イ)、

(ロ)、(イ')、(ロ')で示されるような酸素の添加された領域が形成される。この領域の横方向の厚さは0.1~30μm好ましくは1~10μm例えば2μmとした。また厚さは、200Å~2μm好ましくは500~2000Å本実施例においては1000Åとした。

【0038】これを第3のフォトマスク③にてパターンニ

50

(6)

特開平5-21801

9

ングした。そしてPTFT用のゲート電極4、NTFT用のゲート電極4'を形成し、図6(C)の形状を得た。本実施例においては、図6(B)の一部が除去された多層膜44の一部をそのままゲート電極として用いた。よって酸素が添加された領域(イ)、(ロ)、(イ')、(ロ')の一方の境界部分61、62、61'62'は、ゲート電極の両端62、63、62'、63'と一致している。

【0039】本実施例においては、例えばチャネル長10 μ m、ゲート電極としてリンドープ珪素を0.2 μ m、その上にモリブデンを0.3 μ mの厚さに形成した。

【0040】図6(D)において、フォトレジスト31'をフォトマスク④を用いて形成し、PTFT用のソース5、ドレイン6となる領域に対し、ゲート電極4をマスクとしてホウ素を $1\sim 2\times 10^{11}$ cm⁻²のドーズ量としてイオン注入法により添加した。次に図1(E)の如く、フォトレジスト31をフォトマスク⑤を用いて形成した。そしてNTFT用のソース5'、ドレイン6'となる領域に対しやはりゲート電極4'をマスクとしてリンを 1×10^{11} cm⁻²の量、イオン注入法により添加した。これらはゲート絶縁膜3を通じて行った。しかし図6(C)において、ゲート電極4、4'をマスクとしてシリコン膜上の酸化珪素を除去し、その後、ゲート電極4、4'をマスクとしてホウ素、リンを直接珪素膜中にイオン注入してもよい。

【0041】本実施例の場合、ゲート電極をマスクとしてホウ素、リン等のPまたはN型の導電型を付与する不純物をイオン注入し、PTFTまたはNTFTのソース、ドレインを形成するので、図6(D)に示されているようにNTFTの場合、ソースとチャネルの境界は61'、ドレインとチャネルの境界は62'となり酸素が添加された不純物領域(イ')、(ロ')の一方の境界部分と一致する。すなわち本実施例において、酸素が添加された不純物領域は、一導電型を付与する不純物が添加された半導体であるソース、ドレイン領域の内部に存在していることになる。すなわち本実施例は、図1に示す例と同様な構成である。

【0042】前記のゲート電極を作製した行程の後、フォトレジスト31を除去し、630℃にて10～50時間再び加熱アニールを行った。そしてPTFTのソース5、ドレイン6、NTFTのソース5'、ドレイン6'の不純物を活性化してP'、N'の領域として作製した。またゲート電極4、4'下にはチャネル形成領域7、7'がセミアモルファス半導体として形成されている。一般に、ソース、ドレイン領域を活性化することは、デバイスの電気的特性を高めるためには有効であるが、活性化のための熱アニールを行なうとPまたはN型の導電型を付与する不純物がチャネル形成領域に不必要に拡散してしまうという問題が生ずる。しかし本発明の構成をとることで、例えば本実施例の場合において、N

10

ー1またはI-N'界面またはその近傍に存在している炭素、窒素、酸素が添加された領域がブロッキング領域となり、熱アニール時における不要な不純物の拡散を防ぐことができる。この炭素、窒素、酸素が添加された領域がブロッキング領域となるのは、炭素、窒素、酸素が珪素と極めて強い結合をするからである。

【0043】酸素等の不純物の添加された領域(イ)(ロ)(イ')(ロ')は、図5の52に対応するバンドギャップがチャネル領域やソース、ドレイン領域より広い領域である。またこの構成により、N'-I、P'-Iの存在する面に結晶粒界が存在しにくく、結果としてさらにドレイン耐圧を高くすることができる。

【0044】かくすると、セルフアライン方式でありながらも、すべての工程において700℃以上に温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大面積の液晶表示装置にきわめて適しているプロセスである。

【0045】本実施例において作製したNTFTのエネルギーバンド図は、図5に示されるものと同様である。これは本実施例が図1に示すNTFTと同様な構成であることを考えれば明らかである。この場合、図6のNTFTのN'-IまたはI-N'の界面である61'、62'が図5の111、112に対応する。また本実施例において作製したPTFTのエネルギーバンド図は、不純物のドーピング量がNTFTとPTFTで全く同一であり、チャネルがともに真性半導体であれば、フェルミレベル(f)に対して図5を対称に変換したものに概略一致する。

【0046】本実施例において、熱アニールは図6(A)(E)で2回行った。しかし図6(A)のアニールは求める特性により省略し、双方を図6(E)の熱アニールにより兼ねさせて製造時間の短縮を図ってもよい。さらに図6(F)において、層間絶縁物8を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法を用いてもよい。例えば0.2～1.0 μ mの厚さに形成した。その後、図6(F)に示す如く、フォトマスク⑥を用いて電極用の窓32を形成した。さらにこれら全体にアルミニウムを0.5～1 μ mの厚さにスパッタ法により形成し、リード9、9'およびコンタクト29、29'をフォトマスク⑦を用いて図6(G)の如く作製した。

【0047】かかるTFTの特性を略記する。PTFTについては、移動度(μ)が26(cm²/Vs)、スレッショールド電圧が-4.3V、ドレイン耐圧が-3.3Vであった。またNTFTについては、移動度(μ)が42(cm²/Vs)、スレッショールド電圧が+3.9V、ドレイン耐圧が+3.7Vであった。この特性は、チャネル長10 μ m、チャネル巾30 μ mの場合を示す。かかる半導体を用いることにより、一般に不可能

(7)

特開平5-21801

11

とされていたTFTに大きな移動度を得ることができ、かつドレイン耐圧を大きなレベルで得た。そのため、初めて図7に示した液晶表示装置用のNTFTまたはC/TFTを構成させることができた。

【0048】この実施例は液晶表示装置の例であり、またこのC/TFTの出力を画素に連結させるためさらに図6(G)において、ポリイミド等の有機樹脂34を形成し、フォトマスク9により再度の窓あけを行った。さらに2つのTFTの出力端を液晶装置の一方の透明電極に連結するため、スパッタ法によりITO(インジウム・スズ酸化膜)を形成した。それをフォトマスク9によりエッチングして、透明電極33を構成させた。このITOは室温〜150℃で成膜し、それを200〜300℃の酸素または大気中のアニールにより成就した。

【0049】かくの如くにしてPTFT21とNTFT11と透明導電膜の電極33とを同一ガラス基板1上に作製した。

【0050】図8(A)に第7図に対応した実施例を示す。X線として V_{ss} 、18、 V_{ss} 、19、 V_{ss} 、18、 V_{ss} 、19'を形成した。なおY線として V_{cc} 、22、 V_{cc} 、22'を形成した。

【0051】図8(A)は平面図であるが、そのA-A'の縦断面図を図8(B)に示す。またB-B'の縦断面図を図8(C)に示す。

【0052】PTFT21をX線 V_{ss} 、18とY線 V_{cc} 、22との交差部に設け、さらに V_{ss} 、18と V_{cc} 、22'との交差部にも他の画素用のPTFT21Aが同様に設けられている。NTFT11は V_{ss} 、19と V_{cc} 、22との交差部に設けられている。 V_{ss} 、18'と V_{cc} 、22との交差部の下側には、他の画素用のPTFTが設けられている。本実施例においてはこのようなC/TFTを用いたマトリクス構成を有せしめた。PTFTは、ソース5の入力端のコンタクト32を介しX線 V_{ss} 、18に連結され、ゲート4は多層形成がなされたY線 V_{cc} 、22に連結されている。ドレイン6の出力端はコンタクト29を介して画素の電極33に連結している。

【0053】他方、NTFT11はソース5'の入力端がコンタクト32'を介してX線 V_{ss} 、19に連結され、ゲート4'はY線 V_{cc} 、22に、ドレイン6'の出力端はコンタクト29'を介して画素33に連結している。かくして2本のX線18、19に挟まれた間(内側)に、透明導電膜よりなる画素33とC/TFTとにより1つのピクセルを構成せしめた。かかる構造を左右、上下に繰り返すことにより、2×2のマトリクスの1つの例またはそれを拡大した640×640、1280×1280といった大画素の液晶表示装置を作ることが可能となった。

【0054】図8(B)、(C)は図6(G)に番号が対応している。ここでの顕著な特長は、1つの画素にTFTが相補構成をして設けられていること、画素33は

12

液晶電位 V_{cc} を有するが、それは、PTFTがオンでありNTFTがオフか、またはPTFTがオフでありNTFTがオンか、のいずれのレベルに固定されることである。第8図において、それら透明導電膜上に配向膜、配向処理を施し、さらにこの基板と他方の液晶の電極(図7の23)を有する基板との間に一定の間隔をあけて公知の方法により互いに配設をした。そしてその間に液晶を注入または配線して完成させた。

【0055】液晶材料にTN液晶を用いるならば、その間隔を約10μm程度とし、透明導電膜双方に配向膜をラビング処理して形成させる必要がある。また液晶材料にFLC(強誘電性)液晶を用いる場合は、動作電圧を±20Vとし、セルの間隔を1.5〜3.5μm例えば2.3μmとし、反対電極(図7の23)上にのみ配向膜を設けラビング処理を施せばよい。分散型液晶またはポリマー液晶を用いる場合には、配向膜は不用であり、スイッチング速度を大とするため、動作電圧は±10〜±15Vとし、セル間隔は1〜10μmと薄くした。

【0056】特に分散型液晶を用いる場合には、偏光板も不用のため、反射型としても、また透過型としても光量を大きくすることができる。そしてその液晶はスレッシュホールドがないため、本発明のC/TFTに示す如く、明確なスレッシュホールド電圧が規定されるC/TFT型とすることにより、大きなコントラストとクロストーク(隣の画素との悪干渉)を除くことができた。

【0057】〔実施例2〕本実施例は、図9(C)に示す相補型のC/TFTを得る作製方法に関するものである。本実施例が、実施例1と異なるのは、実施例1が図6(B)、(C)を見ると明らかなようにゲート電極4、4'となる部分とその上のレジスト膜をマスクとして不純物として酸素を半導体層2、2'にイオン打ち込みしているが、本実施例においては、図9(A)、

(B)に示すようにまずC、N、O等の不純物を半導体層2、2'に対してレジスト膜をマスクとしてイオン打ち込みを行い、C、N、O等の少なくとも一種の元素が $1 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ の濃度になるようにイオン注入法により添加するものである。この方法によると、C、N、O等が添加された不純物領域(図5の52に示すバンドギャップの広い領域に相当)をゲート電極の下に及ぶ範囲に設けることができるという特徴を有する。以下本実施例の作製工程を説明する。

【0058】図9に本実施例の作製工程の一部を示す。まず実施例1と同様な工程を経、その後フォトレジスト91を設けフォトマスクを用いて図9(A)に示すようにパターニングをした。このフォトレジスト91の除去された部分によってC、N、Oの添加される不純物領域が決まるのである。よってこの方法によれば、実施例1におけるイオン打ち込み法では不可能な、ゲート電極下にも前記不純物領域を設けることができるという特徴を有する。

50

(8)

特開平5-21801

13

【0059】そしてこのフォトレジスト91をマスクとして炭素(C)、窒素(N)、または酸素(O)の内少なくとも一種類の元素、本実施例においては炭素を実施例1と同様にしてイオン打ち込み法によりドーピングした。

【0060】この上に実施例1と同様にしてゲート酸化膜となる酸化珪素膜3を酸素100%雰囲気中におけるスパッタリングによって1000Åの厚さに設けた、さらにこの後、この上側にリンが $1 \sim 5 \times 10^{17} \text{ cm}^{-2}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タングステン(W)、MoSi、またはWSi、との多層膜、またはアルミ、アルミと他の金属化合物、金属化合物の多層膜を形成し、さらに実施例1と同様にしてこの多層膜をパターンニングすることによりゲート電極4、4'を設けてNTFTとPTFTを得た。以下実施例1と全く同様な工程を経ることによってC/TFETを得ることができた。

【0061】本実施例においては、ゲート電極を設ける前に炭素元素を、 $1 \times 10^{17} \sim 5 \times 10^{17} \text{ cm}^{-2}$ イオン打ち込み法によってドーピングした領域(イ)(ロ)

(イ')(ロ')が設けられ、しかる後にゲート電極が設けられるのでバンドギャップの山をつくるための不純物である炭素が添加される領域がゲート電極の位置に制限されることがない。実施例1のようにゲート電極をマスクとして炭素、窒素酸素等の不純物をイオン打ち込みによって添加した場合、図6(D)を見れば明かなようにゲート電極下に炭素、窒素酸素等の不純物の内少なくとも一種類の不純物が添加された半導体領域(図5の52にて示されるバンドギャップの山に相当する部分)を作ることができなかった。実施例1においては、ゲート電極をマスクとして一導電型を付与する不純物を添加するので、チャネル形成領域は図6(D)の7、7'で示されるようにゲート電極4、4'の下にゲート電極と同じ形で存在していたが、本実施例のような構成をとった場合、図9(C)に示すようにソース領域5、5'からチャネル形成領域7、7'にかけて炭素が添加された珪素半導体の領域(ロ)、(イ')を、ドレイン領域6、6'からチャネル形成領域7、7'にかけて炭素が添加された珪素半導体の領域(イ)、(ロ')を設けることができる。この場合、炭素が添加されている領域ソース領域5、5'とチャネル形成領域7、7'との境界は91、91'となり、ドレイン領域6、6'とチャネル形成領域4、4'との境界は92、92'となる。よって、これらソース、ドレイン領域とチャネル形成領域の境界は炭素が添加された珪素半導体領域中に存在することになる。

【0062】本実施例の構成をとった場合におけるNTFTの模式的なエネルギーバンド図を図10に示す。図10に示したエネルギーバンド図に示すように本実施例の作製工程によってNTFTを作製した場合、炭素、窒

14

素、酸素を添加することによって得られるエネルギーバンドギャップの山101の位置を図5に示す実施例1における作製方法で作製したNTFTのエネルギーバンドギャップの山101の位置よりもチャネル形成領域53に近い部分に設けることができる。しかも、実施例1の場合と同じバンドギャップを有する山を設けた場合においても、その設けられる位置が違えば、ポテンシャル障壁としてのバンドギャップの山の高さを相対的に変えることができる。例えば、チャネルとドレインの境界である図5の112、図10の92'の近傍を比較した場合、炭素、窒素、酸素を添加することによって、形成されるバンドギャップ大きさが同じであるにもかかわらず、キャリア、電子にとってのポテンシャル障壁としての高さは違うことがわかる。

【0063】さらに本実施例の作製工程において、ゲート電極の位置部分に下に炭素、窒素、酸素の少なくとも一種類が添加された領域を作ることにより図11に示すようなNTFT、PTFTからなるC/TFETを作製することができる。このC/TFETは炭素が $1 \times 10^{17} \sim 5 \times 10^{17} \text{ cm}^{-2}$ 添加された領域である(イ)(ロ)

(イ')(ロ')の位置が実施例3で作製した図9(D)のC/TFETとは異なっているだけである。図11を見るとソース5、5'とチャネル形成領域7、7'との境界である91、92、91'、92'を一方の端としてチャネル形成領域内に炭素の添加された不純物領域すなわちバンドギャップの山を作るための不純物領域が設けられていることがわかる。

【0064】図11に示すようなNTFTのエネルギーバンド図を図12に示す。この図を見ればわかるように炭素が添加された不純物領域をチャネル形成領域内に設けたので、エネルギーバンドギャップの山101が図5(実施例1に対応)や図10(実施例2に対応)の場合に比較して、ソースとチャネルの境界91'とドレインとチャネルの境界92'よりチャネル形成領域側に設けられていることがわかる。この場合も炭素が添加された領域のバンドギャップの大きさは、同じであっても、その位置が違う場合、ポテンシャル障壁としてのバンドギャップの山の高さは、電子、キャリア(正孔)にとって異なることがわかる。

【0065】さらに炭素、窒素、酸素の内少なくとも一種類の元素が添加された領域の不純物濃度、横方向の幅、活性化の度合いなどにより前記バンドギャップの山の幅、高さをコントロールすることができる。

【0066】〔実施例3〕本実施例は、図13に示すように実施例2において作製したTFETにおいて、C、N、Oが添加された領域が半導体層の表面付近に存在する場合である。この構成であってもソース、ドレイン間の耐圧を高くすることができる。もちろんこの不純物が基板近くに達していてもよいのであるが、本実施例の構成をとり、C、N、Oの不純物をイオン打ち込み法でド

50

(9)

特開平5-21801

15

ーピングする場合、実施例1や2の場合に比較してイオンのエネルギーを小さくでき、ドーピングをしたくない不要な部分へのイオンの侵入をふせぐことができる。なお図面の符号は図1と同一である。また、本明細書中に示される絶縁ゲイト型電界効果トランジスタはPチャネル型あるいはNチャネル型のいずれであってもよいことはいうまでもない。

【0067】本実施例の作製法は、C、N、Oのイオン注入に際しての加える電圧が40KeV以下例えば25KeVである点以外は実施例2と同様である。また実施例1と同様な構成をとってもよいことはいうまでもない。

【0068】〔実施例4〕本実施例は、NチャネルまたはPチャネル型の絶縁ゲイト型電界効果トランジスタにおいて、ドレイン領域とゲート電極下の半導体領域との境界付近に炭素が添加された領域が設けられていることを特徴とする半導体装置であって、図14にその構成を示す。本実施例の構成をとることによって、簡単な構成ながら絶縁耐圧をたかめることができた。また図面の符号は実施例2におけるものと同じである。

【0069】本実施例の作製法は、実施例2の作製法にしたがった。よって、チャネルとドレインの境界92'を含む形で炭素が添加されている領域がチャネルからドレインにかけて設けられている。

【0070】本発明の思想によれば、図15に示すように逆スタガー型の電界効果トランジスタにおいて、125で示される部分に本発明の構成であるC、N、Oの不純物を実施例1と同様にして、イオン打ち込み等で添加することにより本発明の構成と同等の効果を得ることができる。

【0071】また、図16に示すようにプレナー型の絶縁ゲイト型電界効果トランジスタに本発明の構成を応用することができる。この場合、チャネルとソース、ドレインの間に炭化物、窒化物、酸化物の薄膜を10～50Åの厚さ、可能ならできるだけ薄く均一に設けることによって、本発明の効果を得ることができる。この場合、従来のプレナー型の絶縁ゲイト型電界効果トランジスタの作製工程に前記炭化物、窒化物、酸化物、またはその複合薄膜を設けるだけでよいという作製上の特徴を有する。

【0072】図15、図16における上記本発明の他の応用例において、121はガラス基板、122は下地酸化珪素膜、123はゲート酸化膜である酸化珪素膜、124は非単結晶珪素半導体膜、125はC、N、Oの少なくともいずれかが添加された領域、126はドレイン領域、127はソース領域、128はゲート電極、129はC、N、Oの少なくともいずれかからなる薄膜、あるいは少なくともいずれかが添加された薄膜であり、1

16

30は層間絶縁物、131はアルミ電極であり、Sはソース電極、Gはゲート電極、Dはドレイン電極を示す。本実施例における薄膜129はPCVD法によって設けたが他の方法、例えばLPCVD法、スパッタ法、光CVD方等を用いてもよい。

【0073】本発明においては、半導体として非単結晶珪素を用いたが、他の半導体、例えば単結晶ゲルマニウム、ガリウムヒソ、その他化合物半導体を用いてもよいことはいうまでもない。

【0074】

【発明の効果】本発明の構成である炭素、窒素、酸素の添加された領域を設けることによってソース、ドレイン間の逆方向リークの問題、そしてソース、ドレイン間の耐圧の低さに起因するしきい値電圧以下の状態において生じるスローリークの問題を解決することができた。

【図面の簡単な説明】

【図1】本発明の一例を示したものである。

【図2】本発明の構成によって得られるゲート電圧とドレイン電流の関係、並びに従来の構成におけるゲート電圧とドレイン電流の関係を示したものである。

【図3】本発明の構成によって得られるドレイン電圧とドレイン電流の関係、並びに従来の構成におけるドレイン電圧とドレイン電流の関係を示したものである。

【図4】従来の例を示す

【図5】本発明の構成における模式的なエネルギーバンド図の概略を示す

【図6】本発明の実施例の作製工程を示す。

【図7】本発明の実施例の構成を示す。

【図8】本発明の実施例の構成を示す。

【図9】本発明の実施例の作製工程を示す。

【図10】本発明の実施例におけるNTFTの模式的なエネルギーバンド図を示す。

【図11】本発明の実施例の構成を示す。

【図12】本発明の実施例におけるNTFTの模式的なエネルギーバンド図を示す。

【図13】本発明の実施例の構成を示す。

【図14】本発明の実施例の構成を示す。

【図15】本発明の構成の他の応用例を示す。

【図16】本発明の構成の他の応用例を示す。

【符号の説明】

4、4'・・・ゲート電極

5、5'・・・ソース

7、7'・・・ゲート電極下の半導体膜

6、6'・・・ドレイン

イ、ロ、イ'、ロ'・・・炭素、窒素または酸素が添加された領域

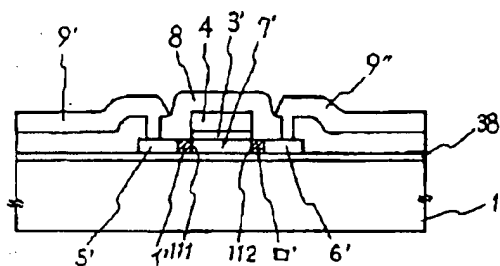
111・・・ソースとチャネルの境界

112・・・ドレインとチャネルの境界

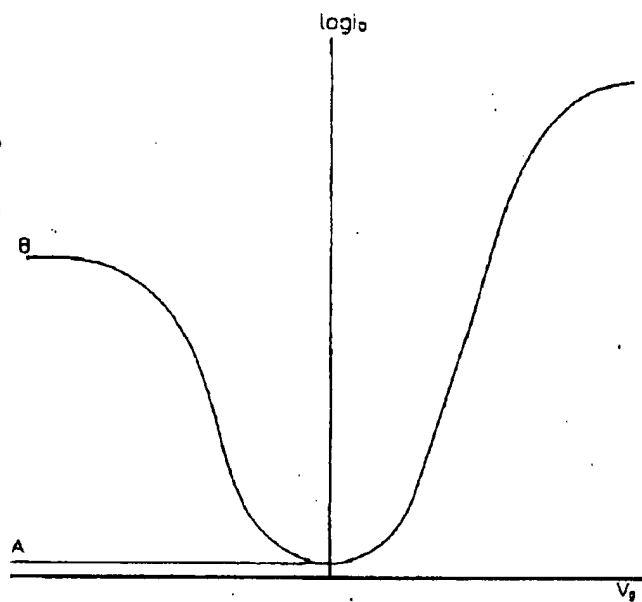
(10)

特開平 5 - 2 1 8 0 1

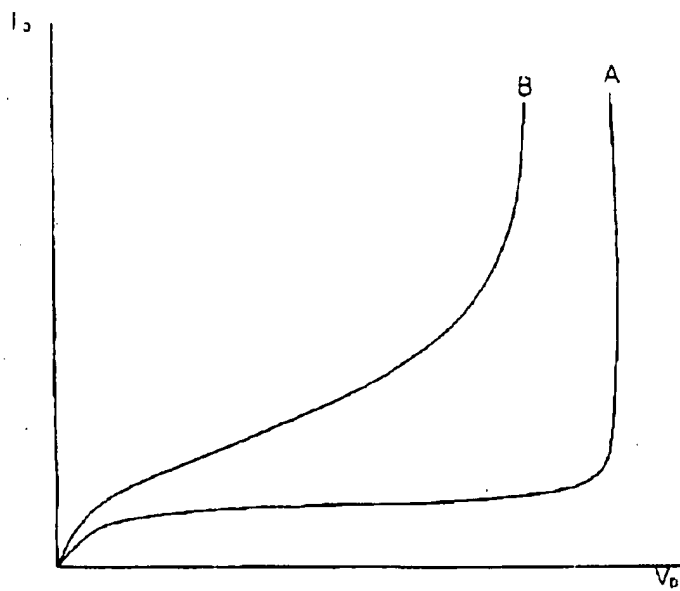
【図 1】



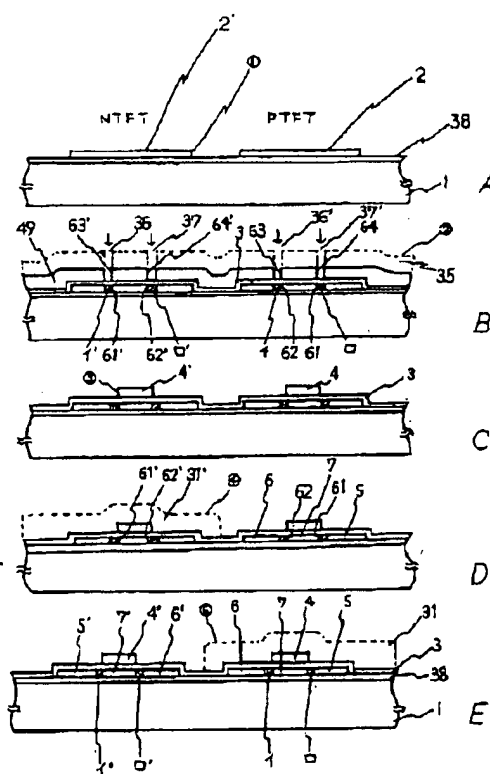
【図 2】



【図 3】



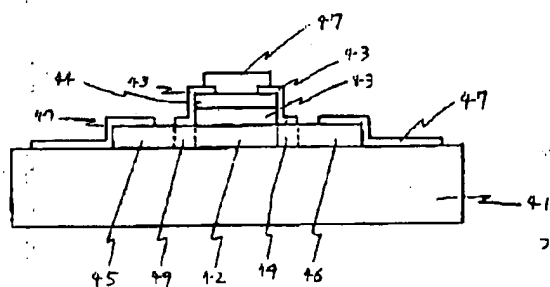
【図 6】



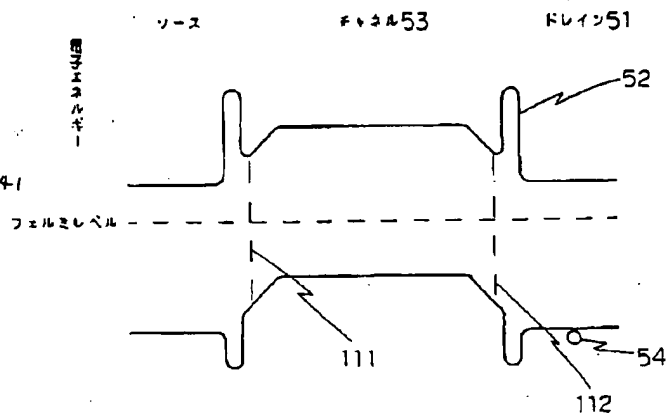
(11)

特開平 5 - 2 1 8 0 1

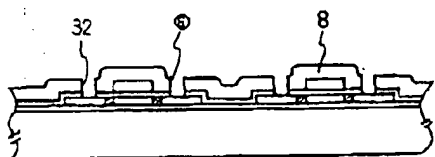
【圖 4】



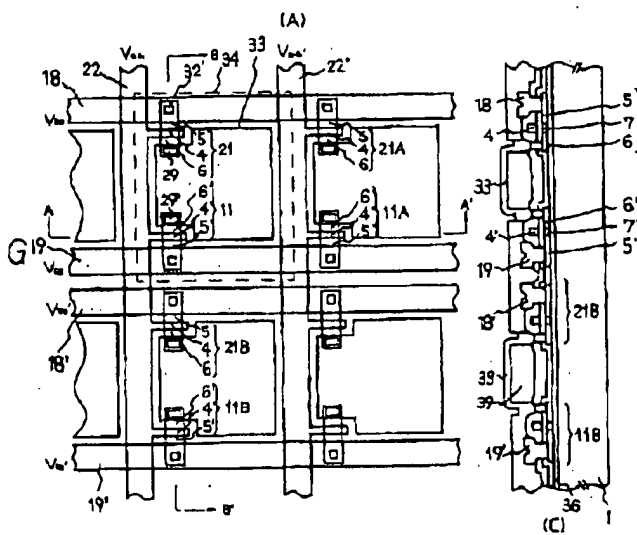
【 図 5 】



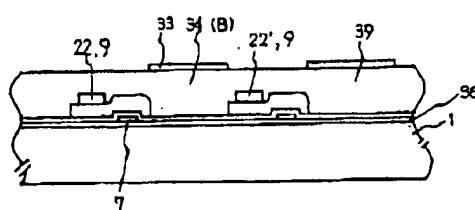
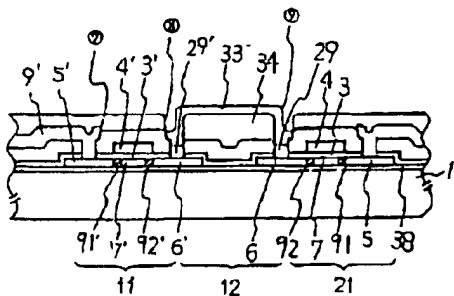
【 ㊦ 6 】



【圖 8】



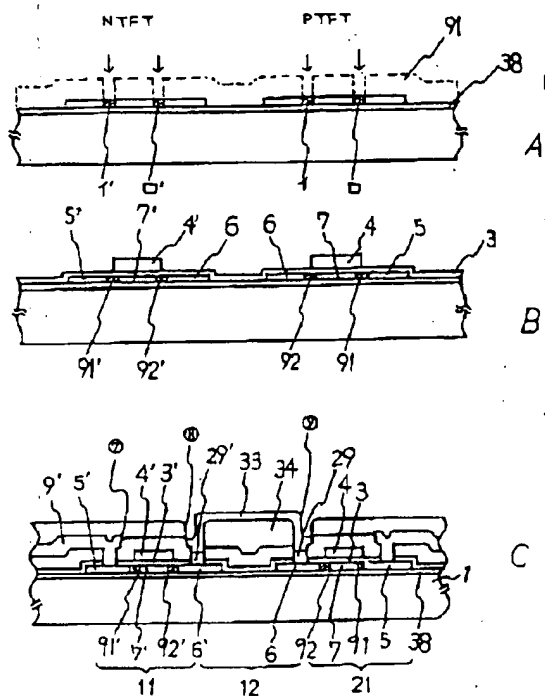
【 1 1 】



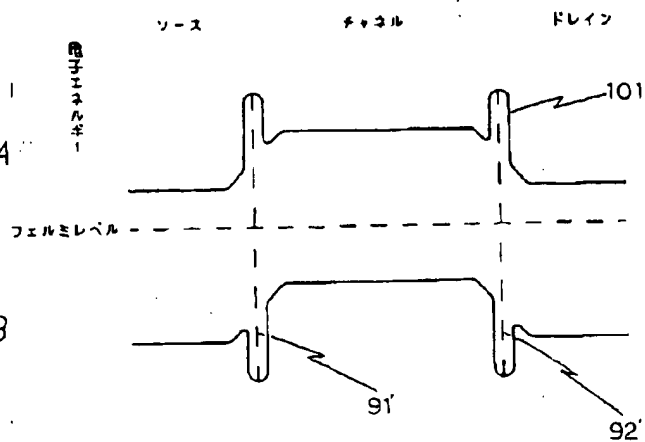
(13)

特開平5-21801

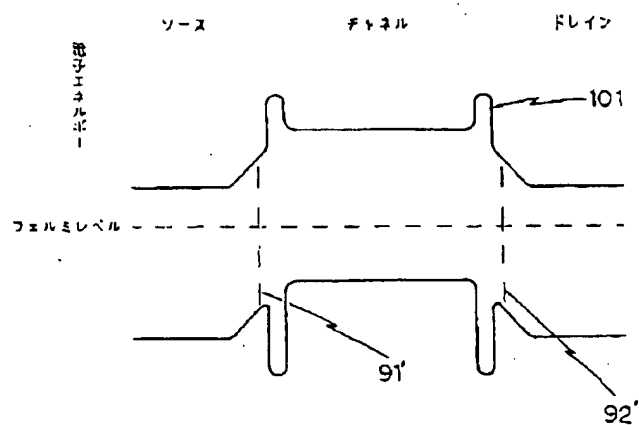
【図9】



【図10】



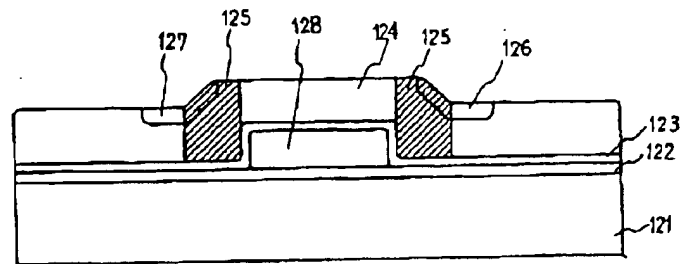
【図12】



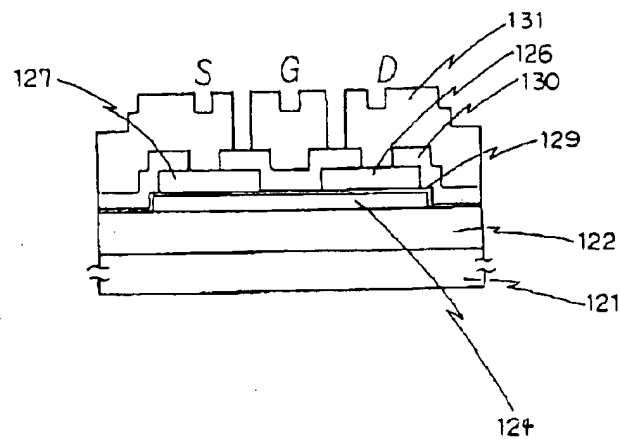
(14)

特開平 5 - 2 1 8 0 1

【図 15】



【図 16】



【手続補正書】

【提出日】平成 4 年 7 月 1 6 日

【手続補正 1】

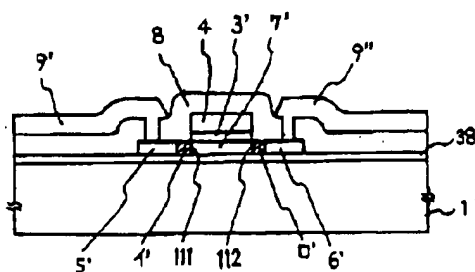
【補正対象書類名】図面

【補正対象項目名】全図

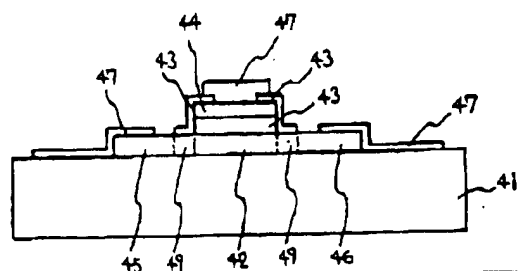
【補正方法】変更

【補正内容】

【図 1】



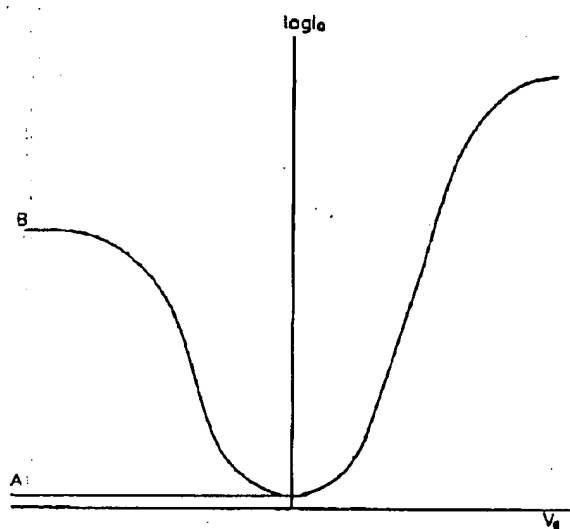
【図 4】



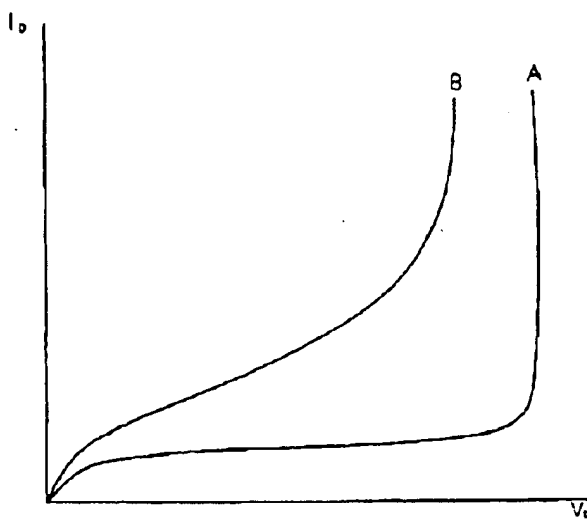
(15)

特開平5-21801

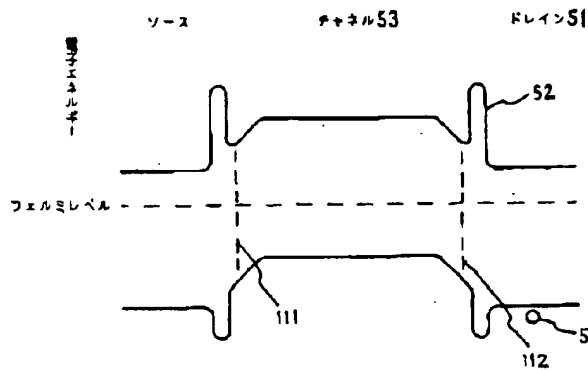
【図2】



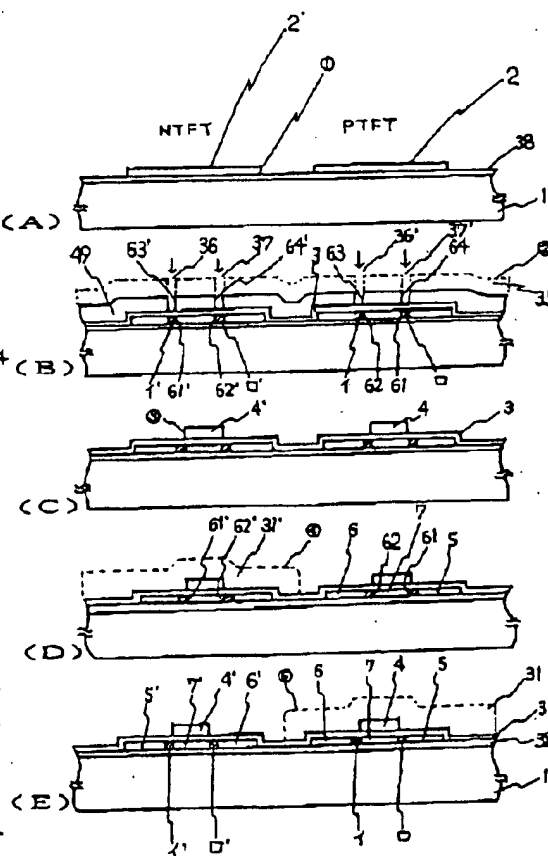
【図3】



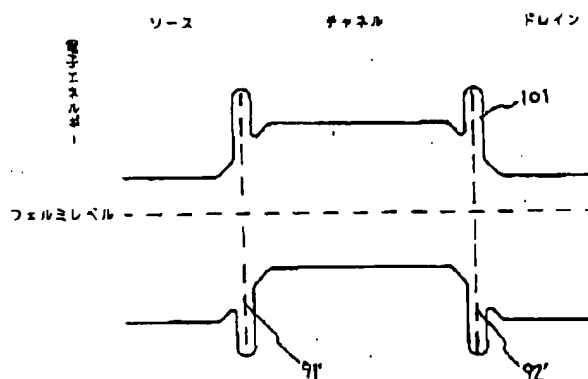
【図5】



【図6】



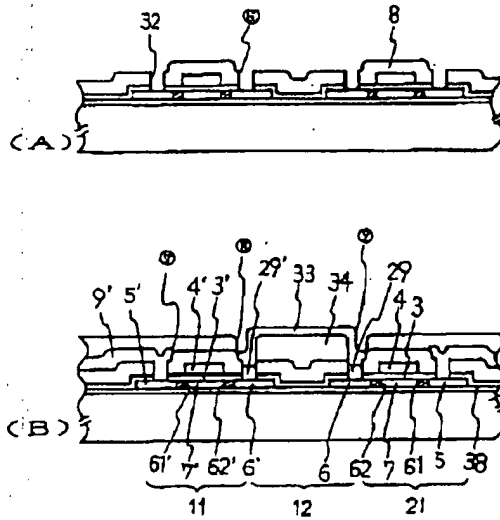
【図11】



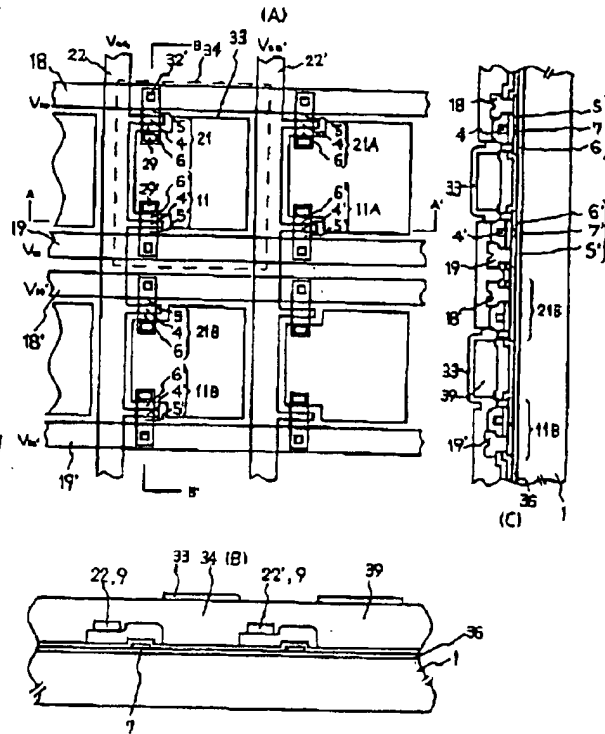
(16)

特開平5-21801

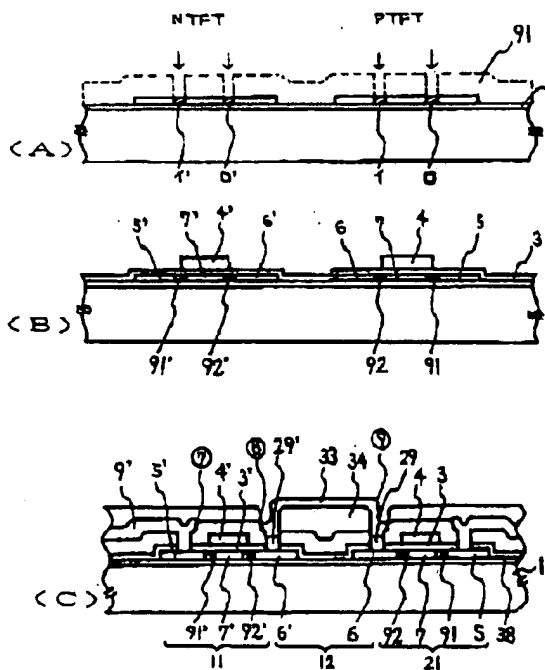
【図7】



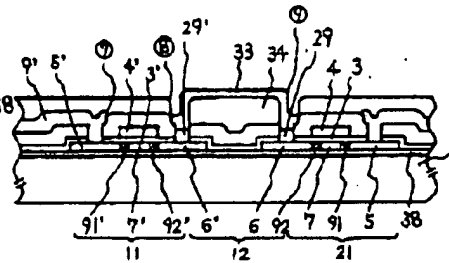
【図9】



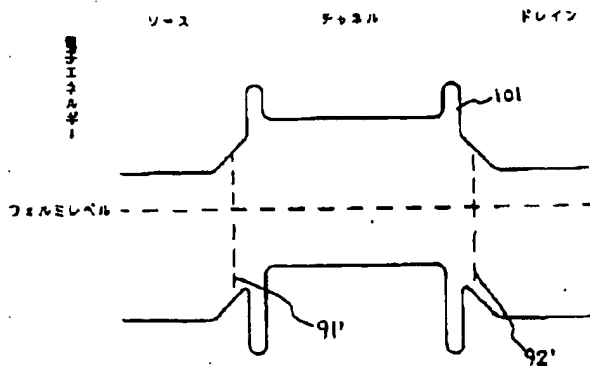
【図10】



【図12】



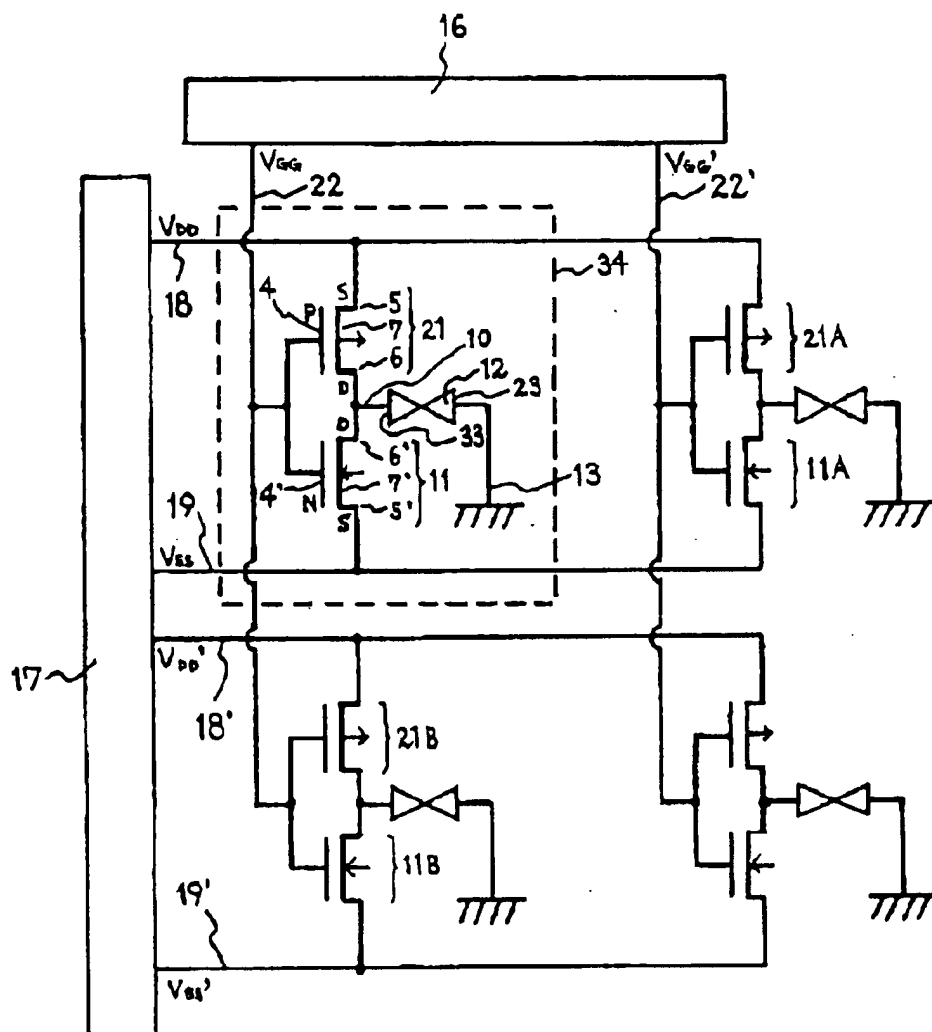
【図13】



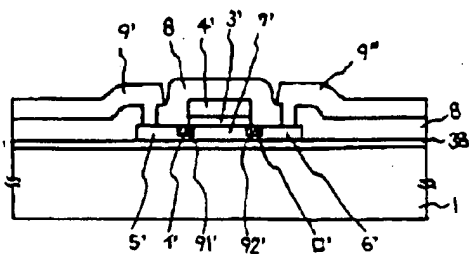
(17)

特開平 5 - 2 1 8 0 1

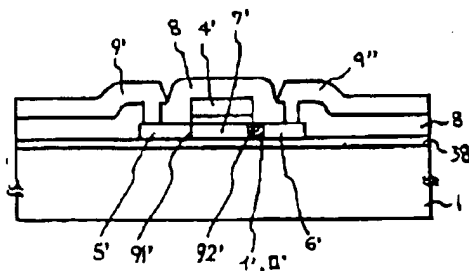
【图 8】



【例 14】



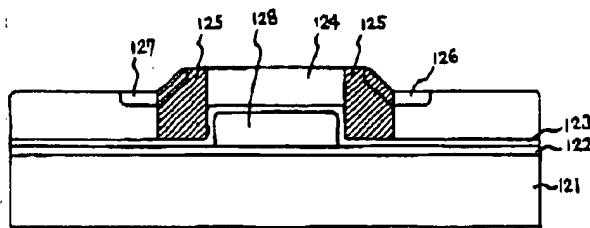
【 1 5 】



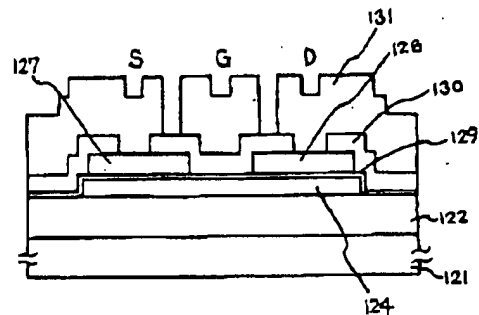
(18)

特開平 5 - 2 1 8 0 1

【 1 6 】



【 17 】



【手続補正2】

【補正対象番類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図 1】 本発明の一例を示したものである。

【図 2】 本発明の構成によって得られるゲート電圧とドレイン電流の関係、並びに従来の構成におけるゲート電圧とドレイン電流の関係を示したものである。

【図 3】 本発明の構成によって得られるドレイン電圧とドレイン電流の関係、並びに従来の構成におけるドレイン電圧とドレイン電流の関係を示したものである。

【図 4】 従来の例を示す。

【図5】 本発明の構成における模式的なエネルギーバンド図の概略を示す。

【図6】 本発明の実施例の作製工程を示す。

【図 7】 本発明の実施例の作製工程を示す。

【図 8】 本発明の実施例の構成を示す。

【図 9】 本発明の実施例の構成を示す。

【図 10】 本発明の実施例の作製工程を示す。

【図 11】 本発明の実施例における N T F T の模式的なエネルギーバンド図を示す。

【図 12】 本発明の実施例の構成を示す。

【図 13】 本発明の実施例における N T F T の模式的なエネルギーバンド図を示す。

【図 14】 本発明の実施例の構成を示す。

【図 15】 本発明の実施例の構成を示す。

【図 16】 本発明の構成の他の応用例を示す。

【図 17】 本発明の構成の他の応用例を示す。

【符号の説明】

4. 4' ゲイト電極

5、5' . . . ソース

7、7' . . . ゲート電極下の半導体膜

6、6' . . . ドレイン

イ、ロ、イ'、ロ'・・・炭素、酸素または窒素が添加された領域

111・・・ソースとチャネルの境界

112・・・ドレインとチャネルの境界